

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **08078661 A**

(43) Date of publication of application: **22.03.96**

(51) Int. Cl

H01L 29/74

H01L 29/06

(21) Application number: **06214144**

(71) Applicant: **MEIDENSHA CORP**

(22) Date of filing: **08.09.94**

(72) Inventor: **SHIMIZU JUNYA**

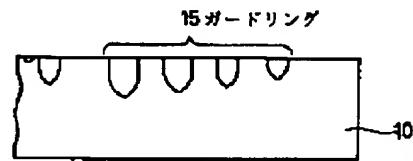
(54) SEMICONDUCTOR ELEMENT FOR POWER

(57) Abstract:

PURPOSE: To provide an element in which an anode layer and an n-base layer are stacked and a plurality of cathode layers and gate layers are made at specified intervals in the direction orthogonal to the direction of stacking, at the surface of the center of the base layer and which lightens an electric field enough at the end face of itself without increasing the area of the element.

CONSTITUTION: Guard rings 15, the depth of which become shallow in stages from the inside periphery to outside periphery and also the concentration becomes lower in stages, are made on the surface of the base layer 10 around a cathode layer and a gate layer.

COPYRIGHT: (C)1996,JPO



THIS PAGE BLANK (USPTO)

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

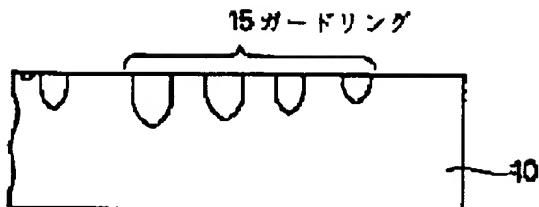
9202852

PUBLICATION NUMBER : 08078661
PUBLICATION DATE : 22-03-96

B6

APPLICATION DATE : 08-09-94
APPLICATION NUMBER : 06214144

APPLICANT : MEIDENSHA CORP;



INVENTOR : SHIMIZU JUNYA;

INT.CL. : H01L 29/74 H01L 29/06

TITLE : SEMICONDUCTOR ELEMENT FOR
POWER

ABSTRACT : PURPOSE: To provide an element in which an anode layer and an n-base layer are stacked and a plurality of cathode layers and gate layers are made at specified intervals in the direction orthogonal to the direction of stacking, at the surface of the center of the base layer and which lightens an electric field enough at the end face of itself without increasing the area of the element.

CONSTITUTION: Guard rings 15, the depth of which become shallow in stages from the inside periphery to outside periphery and also the concentration becomes lower in stages, are made on the surface of the base layer 10 around a cathode layer and a gate layer.

COPYRIGHT: (C) JPO

THIS PAGE BLANK (USPTO)

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-78661

(43)公開日 平成8年(1996)3月22日

(51)Int.Cl.⁶

H 01 L 29/74
29/06

識別記号

庁内整理番号

F I

技術表示箇所

H 01 L 29/74

M
B

審査請求 未請求 請求項の数 6 O L (全 4 頁)

(21)出願番号 特願平6-214144

(22)出願日 平成6年(1994)9月8日

(71)出願人 000006105

株式会社明電舎

東京都品川区大崎2丁目1番17号

(72)発明者 清水 順也

東京都品川区大崎2丁目1番17号 株式会
社明電舎内

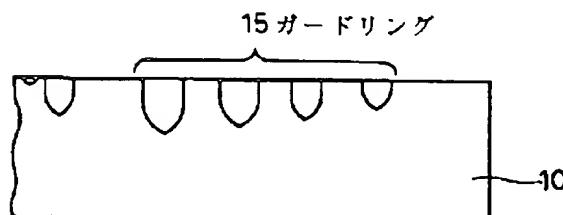
(74)代理人 弁理士 志賀 富士弥 (外1名)

(54)【発明の名称】 電力用半導体素子

(57)【要約】

【目的】 アノード層とnベース層10を積層し、前記ベース層10の中央部表面に、前記積層方向に直交する方向にカソード層とゲート層を所定間隔で交互に複数個形成した電力用半導体素子において、素子面積を増やすことなく素子端面で十分に電界が緩和される素子を提供する。

【構成】 前記カソード層およびゲート層の外周のベース層10表面に、内周から外周に向けて深さが段階的に浅くなるとともに、濃度が段階的に低くなるガードリング部15を形成する。



1

【特許請求の範囲】

【請求項1】 ベース層とアノード層を積層し、前記ベース層の中央部表面に、前記積層方向に直交する方向にゲート層とカソード層を所定間隔で交互に複数個形成した電力用半導体素子において、前記ゲート層およびカソード層の外周のベース層表面に、内周から外周に向けて深さが段階的に浅くなるn個のガードリングを有したガードリング部を形成したことを特徴とする電力用半導体素子。

【請求項 2】 ベース層とアノード層を積層し、前記ベース層の中央部表面に、前記積層方向に直交する方向にゲート層とカソード層を所定間隔で交互に複数個形成した電力用半導体素子において、前記ゲート層およびカソード層の外周のベース層表面に、内周から外周に向けて濃度が段階的に低くなるn個のガードリングを有したガードリング部を形成したことを特徴とする電力用半導体素子。

【請求項3】 前記ガードリング部は、ガードリング形成位置に不純物を注入した後当該ガードリングの押し込み拡散を行う工程を最内周のガードリングから最外周のガードリングまで順次行って形成したことを特徴とする請求項1又は2に記載の電力用半導体素子。

【請求項4】 前記ガードリング部は、最内周のガードリングから最外周のガードリングに向けて濃度が段階的に低くなるように不純物を注入した後、押し込み拡散を行って形成したことを特徴とする請求項1又は2に記載の電力用半導体素子。

【請求項 5】 前記ガードリング部は、n個のガードリングを同一濃度で不純物の拡散を行い、その後最内周のガードリングから最外周のガードリングに向けてエッチング量が段階的に増大するようにエッチングを行い、その後押し込み拡散を行って形成したことを特徴とする請求項1又は2に記載の電力用半導体素子。

【請求項 6】 前記ガードリング部の最内周のガードリングは、前記ゲート層およびカソード層よりも深く拡散されていることを特徴とする請求項 1 又は 2 又は 3 又は 4 又は 5 に記載の電力用半導体素子。

【発明の詳細な説明】

[0 0 0 1]

【産業上の利用分野】この発明は、静電誘導型サイリスタ等の電力用半導体の端面構造に係り、特に電力用半導体素子に関する。

[0 0 0 2]

【従来の技術】従来の静電誘導型サイリスタでは、オフ時の素子端面の電界集中を緩和するには、素子端面を角度を付けて切断するペベル法と、ゲート拡散層とは独立したフローティングP型拡散層を素子の最外周に形成するガードリング法の2つに大別される。ペベル法は従来より高耐圧の素子に適用されてきたが、精度の良い機械加工が必要な事や、加工後のウエハ端面の保護など複雑

な工程が要求されるため、最近はプロセスが簡単なガードリング法による高耐圧化が多用されている。

[0 0 0 3]

【発明が解決しようとする課題】 現在の技術では図4に示すようにガードリング部5はゲート部4と同時に作られることが多く、ガードリングの拡散深さはゲート部1と同じであり、他に変動できるパラメータはガードリング自体の幅、ガードリングとガードリングとの間隔、ガードリングの本数といったものである。尚図4において1はアノード、2はnベース層、3はカソード部である。

【0004】素子設計では、素子端面で十分に電界が緩和されることはもちろん、ゲート部とガードリング部での電界強度のバランスを考慮することで、素子に十分な耐圧をもたせるためのガードリングの本数やその間隔が決まる。この結果、ガードリングの本数やその間隔から素子面積が大きくなるという欠点がある。またガードリング部をゲート部と同時に作った場合、ガードリング部の設計上のパラメータに制限が生じるという問題がある。

【0005】本発明は上記の点に鑑みてなされたもので、その目的は、素子面積を増やすことなく素子端面で十分に電界が緩和される電力用半導体素子を提供することにある。

[0006]

【課題を解決するための手段】本発明は、ベース層とアノード層を積層し、前記ベース層の中央部表面に、前記積層方向に直交する方向にゲート層とカソード層を所定間隔で交互に複数個形成した電力用半導体素子において、(1)前記ゲート層およびカソード層の外周のベース層表面に、内周から外周に向けて深さが段階的に浅くなるn個のガードリングを有したガードリング部を形成したことを特徴とし、(2)前記ゲート層およびカソード層の外周のベース層表面に、内周から外周に向けて濃度が段階的に低くなるn個のガードリングを有したガードリング部を形成したことを特徴とし、(3)前記ガードリング部は、ガードリング形成位置に不純物を注入した後当該ガードリングの押し込み拡散を行う工程を最内周のガードリングから最外周のガードリングまで順次行40って形成したことを特徴とし、(4)前記ガードリング部は、最内周のガードリングから最外周のガードリングに向けて濃度が段階的に低くなるように不純物を注入した後、押し込み拡散を行って形成したことを特徴とし、(5)前記ガードリング部は、n個のガードリングを同一濃度で不純物の拡散を行い、その後最内周のガードリングから最外周のガードリングに向けてエッチング量が段階的に増大するようにエッチングを行い、その後押し込み拡散を行って形成したことを特徴とし、(6)前記ガードリング部の最内周のガードリングは、前記ゲート層およびカソード層よりも深く拡散されていることを特50

徴している。

【0007】

【作用】ガードリングはゲート層およびカソード層よりも深く形成されるので、電界の集中がより深いところで起こるため、放熱性が向上し耐圧の向上が期待できる。また表面の電荷の影響を受けにくく、安定した耐圧がえられる。

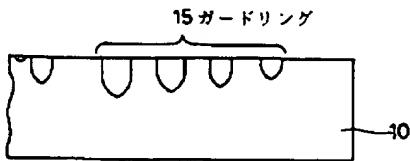
【0008】

【実施例】以下、本発明の一実施例を図面を参照しながら説明する。本発明では図1に示すようにガードリングが外周へいくほど深さと濃度が段階的に小さくなるように構成した。図1において10はnベース層、15はガードリング部である。このとき、となり同士のガードリングの接合深さの比が適切であることと、一番深いガードリング（最内周のガードリング）でもその直下のnベース層10の厚さが耐圧を確保するのに十分である必要がある。その作製方法として以下の3つの方法を用いる。

【0009】（1）図2（a）に示すように、まずイオン注入装置で一番深くなるガードリングであるA部だけに不純物の注入を行う。それを図2（b）に示すように押し込み拡散を行う。次に図2（c）に示すように、2番目に深くなるB部にだけ不純物の注入を行う。それを同様に押し込み拡散を行うことで、図2（d）に示すようにB部はもちろんA部も押し込まれるため、A部とB部の深さの差が生まれる。この要領で必要な本数だけ、前記不純物注入と押し込み拡散を繰り返す。ゲート領域は、これらの工程中の適切なところで行うことになる。また、外周に行くほど濃度が小さくなるようにするため、総拡散深さを考慮して不純物の注入量を制御する必要がある。

【0010】（2）図3（a）に示すように、A、B、C、D部の濃度がA>B>C>Dになるようにイオン注入装置で不純物を注入する。それを図3（b）に示すように押し込み拡散を行う。このとき拡散係数の関係から濃度が濃いものほど深く拡散されるため前記（1）と同様な結果が得られる。

【0011】（3）A、B、C、D部に同一濃度で不純物を拡散した後、ごく表面の濃度の濃い部分を必要量だけエッティングを行う。このときエッティング量がA<B<



【図1】

$C < D$ となるようにすれば、前記（2）と同様の濃度差が生まれ、これを押し込み拡散することで前記（1）、（2）と同様な結果が得られる。またこの方法では不純物の拡散を、イオン注入装置を用いなくても、通常の電気炉による拡散で行うことができる。

【0012】

【発明の効果】以上のように本発明によれば、ベース層とアノード層を積層し、前記ベース層の中央部表面に、前記積層方向に直交する方向にゲート層とカソード層を所定間隔で交互に複数個形成した電力用半導体素子において、前記ゲート層およびカソード層の外周のベース層表面に、内周から外周に向けて深さが段階的に浅くなるとともに、濃度が段階的に低くなるn個のガードリングを有したガードリング部を形成したので、次のような優れた効果が得られる。

【0013】（1）シミュレーションなどの結果から、電界の集中は表面に近い場所で起こっていることが分かっている。本発明によればゲート部よりも深くガードリングが形成されるので、電界の集中がより深いところで起こるため、放熱性が向上し耐圧の向上が期待できる。また表面の電荷の影響を受けにくく、安定した耐圧がえられる。

【0014】（2）ガードリング部が外周に行くほど深さと濃度が段階的に小さくなるような構造であるため、VLD (Variation of Lateral Doping) 技術と同様の素子端面で電界の集中が緩和される効果が期待できる。

【図面の簡単な説明】

【図1】本発明の一実施例を示す要部断面構成図。

【図2】本発明の半導体素子の製造手順の一例を示す要部断面構成図。

【図3】本発明の半導体素子の製造手順の他の例を示す要部断面構成図。

【図4】従来の半導体素子の一例を示す断面構成図。

【符号の説明】

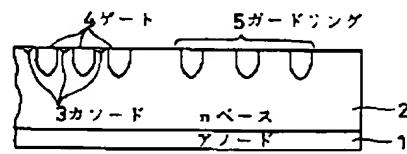
1…アノード

2…nベース層

3…カソード部

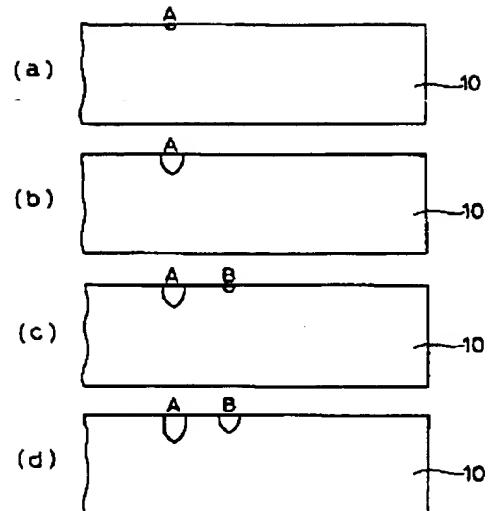
4…ゲート部

5, 15…ガードリング部



【図4】

【図2】



【図3】

